



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086236
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

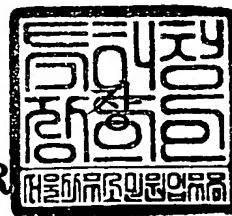
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0026		
【제출일자】	2002.12.30		
【발명의 명칭】	트랜지스터 및 그 제조 방법		
【발명의 영문명칭】	STRUCTURE OF TRANSISTOR AND MANUFACTURING METHOD OF THE SAME		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-059722-7		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-059725-9		
【발명자】			
【성명의 국문표기】	박철수		
【성명의 영문표기】	PARK, Cheol Soo		
【주민등록번호】	610313-1637911		
【우편번호】	467-020		
【주소】	경기도 이천시 관고동 223-14		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	16	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 트랜지스터 및 그 제조 방법에 관한 것으로, 개시된 제조 방법은 소자 분리 절연막이 형성된 반도체 기판 상부에 버퍼 절연막과 제 1 절연막을 순차 적층한 후 게이트 영역의 정의를 위해 패터닝하는 단계와, 패터닝된 제 1 절연막과 버퍼 절연막을 식각한 후 제 1 절연막 및 버퍼 절연막의 양측벽에 LDD용 폴리 전극을 형성하는 단계와, LDD용 폴리 전극 사이에 로컬 채널 이온주입을 실시하여 기판 내에 로컬 채널 영역을 형성하는 단계와, 로컬 채널 영역의 상부와 LDD용 폴리 전극의 측벽에 게이트 절연막을 형성하는 단계와, 게이트 절연막 상부에 게이트 전극 물질을 도포하여 게이트 전극을 형성하는 단계와, 제 1 절연막을 제거한 후 게이트 전극의 양측 기판 내에 소오스 전극과 드레인 전극을 형성하는 단계와, 전체 구조물 상부에 제 2 절연막과 평탄화 절연막을 적층하고 패터닝한 후 식각하여 게이트 전극과 소오스 전극 및 드레인 전극과 연결되는 게이트 인터커넥션 플러그와 소오스 콘택 플러그 및 드레인 콘택 플러그를 형성하는 단계를 포함하며, LDD 이온 주입을 LDD용 폴리 전극으로 대체하여 게이트 채널 길이를 저비용으로 용이하게 조절할 수 있고 게이트 전극 하부에 로컬 채널 이온 주입을 실행하여 쇼트 채널 효과를 용이하게 제어할 수 있는 이점이 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

트랜지스터 및 그 제조 방법{STRUCTURE OF TRANSISTOR AND MANUFACTURING METHOD OF THE SAME}

【도면의 간단한 설명】

도 1 내지 도 4는 본 발명에 따른 트랜지스터의 제조 방법을 설명하기 위한 공정 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 반도체 소자의 트랜지스터에 관한 것으로, 더욱 상세하게는 LDD(Lightly Doped Drain) 이온 주입을 LDD용 폴리 전극으로 대체하여 게이트 채널 길이를 조절할 수 있고 게이트 전극 하부에 로컬 채널 이온 주입을 실행하여 쇼트 채널 효과(Short Channel Effect)를 제어할 수 있도록 한 트랜지스터 및 그 제조 방법에 관한 것이다.
- <3> 반도체 소자의 집적도가 향상됨에 따라 단위 소자의 크기를 줄이고자 하는 노력이 계속 되어 왔으며, 트랜지스터에서의 게이트의 길이와 게이트 절연막의 두께 및 소자 분리막의 폭을 줄여왔다.
- <4> 이와 같은 집적도 증가에 따른 반도체 소자의 스케일링 팩터(Scaling Factor) 중 공정 기술에서 고비용이 소요되며 조절이 어려운 것이 게이트의 길이이다.

<5> 아울러, 트랜지스터에서 조절하기 어려운 특성 중의 하나로는 쇼트 채널 효과가 알려져 있다.

<6> 이에 따라, 게이트의 길이와 쇼트 채널 효과를 쉽게 조절할 수 있는 새로운 공정 기술의 개발 과제가 부여된 실정이다.

【발명이 이루고자 하는 기술적 과제】

<7> 본 발명은 상기와 같은 개발 과제에 따른 연구 노력의 한 결과물로서, LDD 이온 주입을 LDD용 폴리 전극으로 대체하여 게이트 채널 길이를 저비용으로 용이하게 조절할 수 있고 게이트 전극 하부에 로컬 채널 이온 주입을 실행하여 쇼트 채널 효과를 용이하게 제어할 수 있도록 한 트랜지스터 및 그 제조 방법을 제공하는 데 그 목적이 있다.

<8> 상기와 같은 목적을 실현하기 위한 한 견지로서 본 발명에 따른 트랜지스터는, 소자 분리 절연막이 형성된 반도체 기판 내부의 활성 영역에서 복수로 분리되어 서로 마주하는 형태로 형성된 LDD용 폴리 전극과, 상기 LDD용 폴리 전극의 바닥면 하부에 형성된 로컬 채널 영역과, 상기 로컬 채널 영역의 상부와 상기 LDD용 폴리 전극의 측벽에 형성되어 트렌치 형상을 갖는 게이트 절연막과, 상기 게이트 절연막 상부에 상기 트렌치 형상을 매립하는 형태로 형성된 게이트 전극과, 상기 게이트 전극의 양측 기판 내에 형성된 소오스 전극 및 드레인 전극과, 상기 전체 구조물 상부에 형성된 평탄화 절연막의 내부에 형성되어 상기 게이트 전극과 소오스 전극 및 드레인 전극을 외부로 연결하는 게이트 인터커넥션 플러그와 소오스 콘택 플러그 및 드레인 콘택 플러그를 포함한다.

<9> 본 발명의 다른 견지로서 트랜지스터의 제조 방법은, 소자 분리 절연막이 형성된 반도체 기판 상부에 버퍼 절연막과 제 1 절연막을 순차 적층한 후 게이트 영역의 정의를 위해 패터닝

하는 단계와, 상기 패터닝된 상기 제 1 절연막과 버퍼 절연막을 식각한 후 상기 제 1 절연막 및 버퍼 절연막의 양측벽에 LDD용 폴리 전극을 형성하는 단계와, 상기 LDD용 폴리 전극 사이에서 로컬 채널 이온주입을 실시하여 상기 기판 내에 로컬 채널 영역을 형성하는 단계와, 상기 로컬 채널 영역의 상부와 상기 LDD용 폴리 전극의 측벽에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상부에 게이트 전극 물질을 도포하여 게이트 전극을 형성하는 단계와, 상기 제 1 절연막을 제거한 후 상기 게이트 전극의 양측 기판 내에 소오스 전극과 드레인 전극을 형성하는 단계와, 상기 전체 구조물 상부에 제 2 절연막과 평탄화 절연막을 적층하고 패터닝한 후 식각하여 상기 게이트 전극과 소오스 전극 및 드레인 전극과 연결되는 게이트 인터커넥션 플러그와 소오스 콘택 플러그 및 드레인 콘택 플러그를 형성하는 단계를 포함한다.

【발명의 구성 및 작용】

- <10> 본 발명의 실시예로는 다수개가 존재할 수 있으며, 이하에서는 첨부한 도면을 참조하여 바람직한 실시예에 대하여 상세히 설명하기로 한다. 이 실시예를 통해 본 발명의 목적, 특징 및 이점들을 보다 잘 이해할 수 있게 된다.
- <11> 도 1 내지 도 4는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다.
- <12> 도 1을 참조하면, 소자 분리 절연막(2)에 의하여 활성 영역과 비활성 영역이 구분된 반도체 기판(1)을 세정한 후 상부에 버퍼 절연막(3)으로서 산화막을 열적으로 성장시키고, 제 1 절연막(4)으로서 질화막을 두껍게 적층한다.
- <13> 그리고, 제 1 절연막(4)의 상부에 게이트 전극이 형성될 부분을 정의하는 마스크를 사용한 포토리소그래피 공정을 진행하여 게이트 영역을 정의하는 포토레지스트 패턴(도시 생략됨)

을 형성한다. 이후, 포토레지스트 패턴을 식각 마스크로 하여 노출된 제 1 절연막(4)과 버퍼 절연막(3)을 순차적으로 이방성 건식 식각하되 버퍼 절연막(3)을 완전히 제거하지 않은 상태, 즉 소정의 버퍼 절연막(3)을 남긴 상태에서 식각을 정지한다.

<14> 이후, 게이트 영역의 정의를 위해 사용된 포토레지스트 패턴을 제거하고, 게이트 영역 내 제 1 절연막(4) 및 버퍼 절연막(3)의 양측벽에 폴리실리콘을 인-시튜 도핑(In-situ Doped) 방식으로 적층하여 LDD(Lightly Doped Drain)용 폴리 전극(5)을 형성한 후에 전면 식각을 한다. 이로서 LDD용 폴리 전극(5)은 반도체 기판(1) 상부의 활성 영역에서 복수로 분리되어 서로 마주하는 형태로 형성되며, 이후 형성될 게이트 전극(8)의 길이를 정의한다.

<15> 아울러, 반도체 기판(1)의 게이트 영역 내에 로컬 채널 이온주입(Local Channel Implantation)을 실시하여 버퍼 절연막(3)의 하부, 즉 이후에 형성되는 게이트 전극(8)의 하부에 로컬 채널 영역(6)을 형성한다. 여기서, 로컬 채널 영역(6)은 이후 형성될 소오스 전극(10a)과 드레인 전극(10b)의 측면 확산(Lateral Diffusion)을 방지하여 쇼트 채널 효과(Short Channel Effect)를 제어한다.

<16> 도 2를 참조하면, 게이트 절연막(7)을 위해 세정을 실시하여 반도체 기판(1)의 게이트 영역 내에 잔존하는 수십 Å의 버퍼 산화막(3)을 제거한 후 게이트 영역 내 반도체 기판(1)의 상부와 LDD용 폴리 전극(5)의 양측벽에 게이트 절연막(7)을 형성한다. 그리고 그 상부에 게이트 전극 물질을 도포하고 블랭킷 에치백(Blanket Etchback) 또는 CMP(Chemical Mechanical Polishing)를 실시하여 LDD용 폴리 전극(5)의 측벽 사이에 게이트 절연막(7)을 경계로 두고 게이트 전극(8)을 형성한다.

- <17> 다시 말해서, 게이트 절연막(7)은 로컬 채널 영역(6)의 상부와 LDD용 폴리 전극(5)의 측벽에 형성되어 트렌치 형상을 가지며, 게이트 전극(8)은 게이트 절연막(7)에 의한 트렌치 형상을 매립하는 형태로 형성된다.
- <18> 도 3을 참조하면, 반도체 기판(1)의 상부 전면을 블랭킷 에치백하여 제 1 절연막(4)을 제거하고, 게이트 전극(8)을 살리사이드레이션(Salicidation)하여 게이트 전극(8)과 LDD용 폴리 전극(5)의 외벽에 실리사이드(silicide)(9)를 형성한다. 그리고 게이트 전극(8) 좌,우측 기판에 고농도 불순물 이온을 주입하여 소오스 전극(10a)과 드레인 전극(10b)을 형성한 후 전체 구조물 상부에 제 2 절연막(11)으로서 수백 Å 질화막을 적층한다.
- <19> 한편, 게이트 전극(8)을 위한 전극 물질로 티나늄나이트라이드/텅스텐(TiN/W)을 도포한 경우에는 실리사이드(9) 형성 공정을 생략할 수 있다. 아울러 이온 주입을 통해 소오스 전극(10a)과 드레인 전극(10b)을 형성하는 공정은 일실시예에 따른 것으로서, 폴리실리콘을 에피택셜 실리콘 성장(Epitaxial Silicon Growth)시키는 공정을 이용하거나 폴리실리콘을 인-시튜 도핑(In-situ Doped)하는 공정을 이용하거나 BSG(Boro-Silicate Glass) 또는 PSG(Phospho-Silicate Glass)를 증착 후 어닐링(Annealing)하는 공정으로도 제어할 수도 있다.
- <20> 도 4를 참조하면, 전체 구조물 상부에 평탄화 절연막(12)을 두껍게 적층하고, 그 상부에 게이트 인터커넥션 플러그 마스크, 소오스 콘택 플러그 마스크, 드레인 콘택 플러그 마스크를 사용한 포토리소그래피 공정을 진행하여 각각의 전극을 노출시키기 위한 포토레지스트 패턴(도시 생략됨)을 형성한다.
- <21> 이후, 포토레지스트 패턴을 식각 마스크로 하여 노출된 하부의 절연막들(11, 3)을 건식 식각하여 게이트 전극(8)과 소오스 전극(10a) 및 드레인 전극(10b)을 노출시키는 콘택 홀을 형성한 후 포토레지스트 패턴을 제거하며, 기판 전면에 도전막을 형성한 후 그 표면을 CMP나 전

면 식각으로 평탄화하여 게이트 인터커넥션 플러그(13a)와 소오스 콘택 플러그(13b) 및 드레인 콘택 플러그(13c)를 형성한다.

<22> 상기에서는 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

【발명의 효과】

<23> 전술한 바와 같이 본 발명에 따른 트랜지스터는 LDD 이온 주입을 LDD용 폴리 전극으로 대체하여 게이트 채널 길이를 저비용으로 용이하게 조절할 수 있고 게이트 전극 하부에 로컬 채널 이온 주입을 실행하여 쇼트 채널 효과를 용이하게 제어할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

소자 분리 절연막이 형성된 반도체 기판 상부에 버퍼 절연막과 제 1 절연막을 순차 적층한 후 게이트 영역의 정의를 위해 패터닝하는 단계와,

상기 패터닝된 상기 제 1 절연막과 버퍼 절연막을 식각한 후 상기 제 1 절연막 및 버퍼 절연막의 양측벽에 LDD용 폴리 전극을 형성하는 단계와,

상기 LDD용 폴리 전극 사이에 로컬 채널 이온주입을 실시하여 상기 기판 내에 로컬 채널 영역을 형성하는 단계와,

상기 로컬 채널 영역의 상부와 상기 LDD용 폴리 전극의 측벽에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 상부에 게이트 전극 물질을 도포하여 게이트 전극을 형성하는 단계와,

상기 제 1 절연막을 제거한 후 상기 게이트 전극의 양측 기판 내에 소오스 전극과 드레인 전극을 형성하는 단계와,

상기 전체 구조물 상부에 제 2 절연막과 평탄화 절연막을 적층하고 패터닝한 후 식각하여 상기 게이트 전극과 소오스 전극 및 드레인 전극과 연결되는 게이트 인터커넥션 플러그와 소오스 콘택 플러그 및 드레인 콘택 플러그를 형성하는 단계를 포함하는 트랜지스터의 제조 방법.

【청구항 2】

제 1 항에 있어서,

LDD용 폴리 전극 형성 단계에서 식각시 상기 버퍼 절연막을 남긴 상태에서 식각을 정지하며, 상기 게이트 절연막 형성 단계에서 잔존하는 상기 버퍼 절연막을 제거한 후 상기 게이트 절연막을 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 LDD용 폴리 전극 형성 단계에서 상기 LDD용 폴리 전극으로 상기 게이트 전극의 길이를 조절하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 4】

제 1 항에 있어서, 상기 LDD용 폴리 전극 형성 단계는,

상기 제 1 절연막의 양측벽에 폴리실리콘을 인-시튜 도핑 방식으로 적층하여 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 로컬 채널 영역 형성 단계에서 상기 소오스 전극과 드레인 전극의 측면 확산을 방지하여 쇼트 채널 효과를 제어하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 6】

제 1 항에 있어서, 상기 게이트 전극 형성 단계는,

상기 게이트 절연막 상부에 게이트 전극 물질을 도포하고 블랭킷 에치백을 실시하여 상기 LDD용 폴리 전극의 측벽 사이에 상기 게이트 절연막을 경계로 두고 상기 게이트 전극을 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 7】

제 1 항에 있어서, 상기 게이트 전극 형성 단계는,

상기 게이트 절연막 상부에 게이트 전극 물질을 도포하고 CMP를 실시하여 상기 LDD용 폴리 전극의 측벽 사이에 상기 게이트 절연막을 경계로 두고 상기 게이트 전극을 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 8】

제 1 항에 있어서, 상기 소오스 전극과 드레인 전극 형성 단계는,

상기 제 1 절연막을 제거한 후 상기 게이트 전극을 살리사이드이션하여 상기 게이트 전극과 LDD용 폴리 전극의 외벽에 실리사이드를 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 9】

제 1 항 또는 제 8 항에 있어서, 상기 소오스 전극 및 드레인 전극 형성 단계는,

상기 게이트 전극의 양측 기판에 불순물 이온을 주입하여 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 10】

제 1 항 또는 제 8 항에 있어서, 상기 소오스 전극 및 드레인 전극 형성 단계는,

상기 게이트 전극의 양측 기판에 폴리실리콘을 에피택셜 실리콘 성장시켜 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 11】

제 1 항 또는 제 8 항에 있어서, 상기 소오스 전극 및 드레인 전극 형성 단계는,
상기 게이트 전극의 양측 기판에 폴리실리콘을 인-시튜 도핑하여 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 12】

제 1 항 또는 제 8 항에 있어서, 상기 소오스 전극 및 드레인 전극 형성 단계는,
상기 게이트 전극의 양측 기판에 BSG 또는 PSG를 증착 후 어닐링하여 형성하는 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 13】

제 1 항에 있어서, 상기 플러그 형성 단계는,
상기 전체 구조물 상부에 평탄화 절연막을 적층하고 패터닝한 후 식각하여 상기 게이트 전극과 소오스 전극 및 드레인 전극을 노출시키는 콘택 홀을 형성하는 단계와,
상기 기판 전면에 도전막을 형성한 후 그 표면을 평탄화하여 상기 게이트 인터커넥션 플러그와 소오스 콘택 플러그 및 드레인 콘택 플러그를 형성하는 단계를 포함하여 이루어진 것을 특징으로 한 트랜지스터의 제조 방법.

【청구항 14】

소자 분리 절연막이 형성된 반도체 기판 내부의 활성 영역에서 복수로 분리되어 서로 마주하는 형태로 형성된 LDD용 폴리 전극과,
상기 LDD용 폴리 전극의 바닥면 하부에 형성된 로컬 채널 영역과,

상기 로컬 채널 영역의 상부와 상기 LDD용 폴리 전극의 측벽에 형성되어 트렌치 형상을 갖는 게이트 절연막과,

상기 게이트 절연막 상부에 상기 트렌치 형상을 매립하는 형태로 형성된 게이트 전극과

상기 게이트 전극의 양측 기판 내에 형성된 소오스 전극 및 드레인 전극과,

상기 전체 구조물 상부에 형성된 평탄화 절연막의 내부에 형성되어 상기 게이트 전극과 소오스 전극 및 드레인 전극을 외부로 연결하는 게이트 인터커넥션 플러그와 소오스 콘택 플러그 및 드레인 콘택 플러그를 포함하는 트랜지스터.

【청구항 15】

제 14 항에 있어서,

상기 LDD용 폴리 전극은 상기 게이트 전극의 길이를 정의하는 것을 특징으로 한 트랜지스터.

【청구항 16】

제 14 항에 있어서,

상기 로컬 채널 영역은 상기 소오스 전극과 드레인 전극의 측면 확산을 방지하여 쇼트 채널 효과를 제어하는 것을 특징으로 한 트랜지스터.

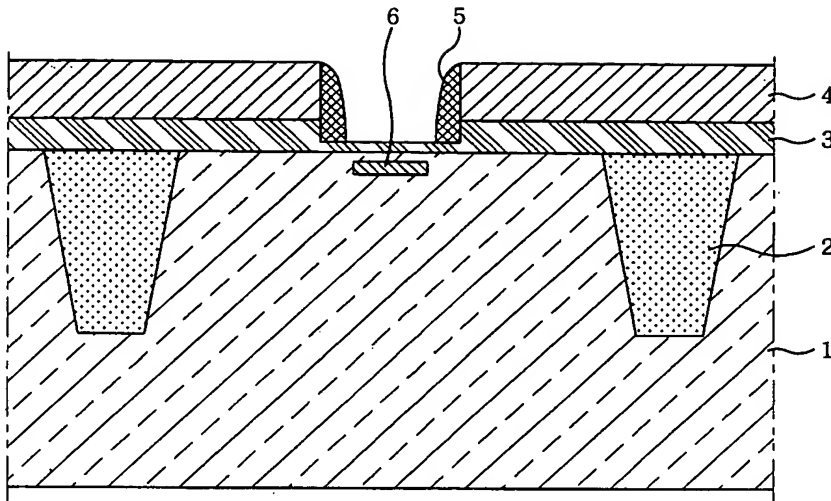
【청구항 17】

제 14 항에 있어서,

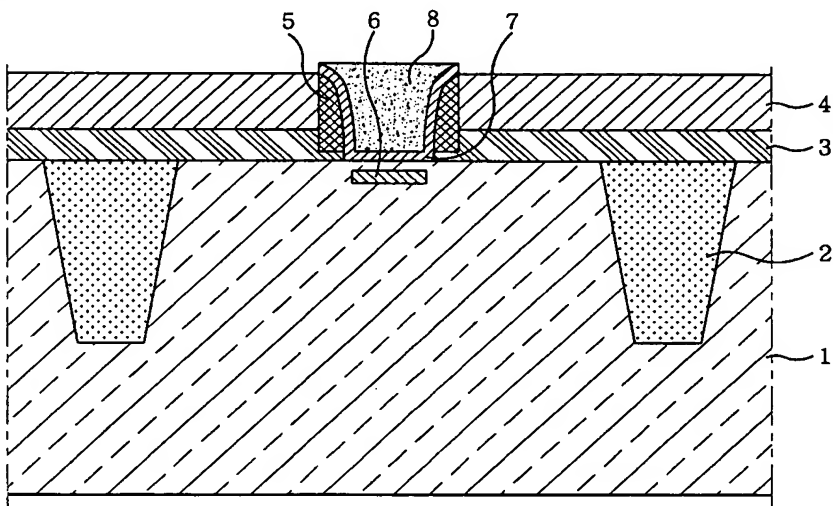
상기 게이트 전극과 LDD용 폴리 전극의 외벽에 실리사이드가 형성된 것을 특징으로 한 트랜지스터.

【도면】

【도 1】



【도 2】



A cross-sectional view of a semiconductor device. The device is built on a substrate (1) with a dashed pattern. A central structure (5) is formed on the substrate, containing a core (8) and a surrounding layer (7). This central structure is flanked by two side regions (10a and 10b) which are embedded in a material (2) with a dotted pattern. The top surface of the device is a flat layer (11). Various layers and components are labeled with numbers: 1 (substrate), 2 (side region material), 3 (top layer), 5 (central structure), 6 (side region material), 7 (core layer), 8 (core), 9 (top layer), 10a and 10b (side regions), and 11 (top surface).